

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 10 月 27 日 (27.10.2005)

PCT

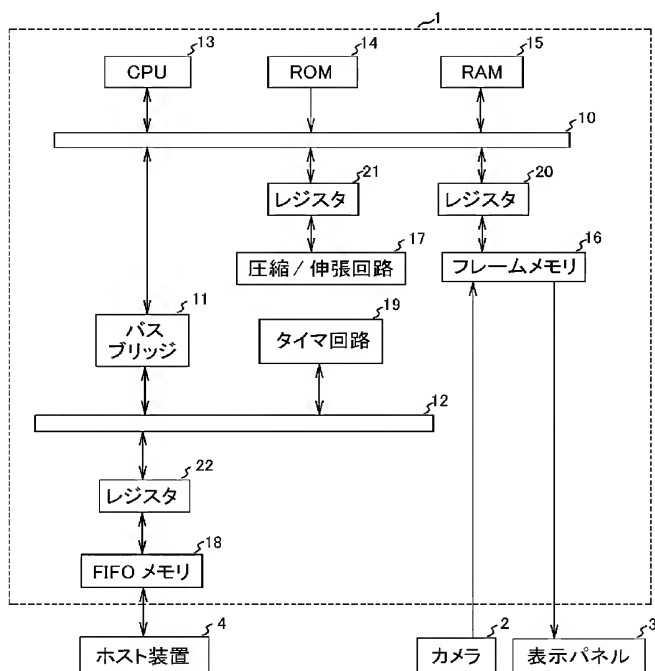
(10) 国際公開番号
WO 2005/101365 A1

- (51) 国際特許分類: G09G 5/00, 5/36, G06F 13/36 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/007339 (75) 発明者/出願人 (米国についてのみ): 沢村 陽 (SAWA-MURA, Yo) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 武村 哲也 (TAKEMURA, Tetsuya) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
(22) 国際出願日: 2005 年 4 月 15 日 (15.04.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語 (74) 代理人: 藤河 恒生 (FUJIKAWA, Tsuneo); 〒5202153 滋賀県大津市一里山四丁目 9 番 8 2 号 こなん特許事務所 Shiga (JP).
(30) 優先権データ:
特願2004-122251 2004 年 4 月 16 日 (16.04.2004) JP
特願2005-117354 2005 年 4 月 14 日 (14.04.2005) JP (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR,
(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

[続葉有]

(54) Title: IMAGE PROCESSOR

(54) 発明の名称: 画像処理装置



11... BUS BRIDGE
22... REGISTER
18... FIFO MEMORY
4... HOST DEVICE
21... REGISTER
17... COMPRESSION/DECOMPRESSION CIRCUIT
19... TIMER CIRCUIT

20... REGISTER
16... FRAME MEMORY
2... CAMERA
3... DISPLAY PANEL

(57) Abstract: An image processor is provided to increase a speed of entire image processing by efficiently operating a CPU. In the image processor (1), a high-speed bus (10) and a peripheral bus (12) are connected via a bus bridge (11). The CPU (13) for performing calculation and control of image processing, a data transmitting/receiving FIFO memory (18) for transmitting and receiving image compression data to and from a host device (4), a frame memory (16) for storing image decompression data from an electronic camera (2), etc. and displaying the data on a display panel (3), and a compression/decompression circuit (17) for compressing the image decompression data and decompressing the image compression data are connected to the both buses (10, 12). The CPU (13) and the frame memory (16) are connected to the high-speed bus (10), and the data transmitting/receiving FIFO memory (18) is connected to the peripheral bus (12).

(57) 要約: CPUを効率的に動作させて全体的に画像処理を高速化できる画像処理装置を提供する。この画像処理装置1は、高速バス10とペリフェラルバス12とをバスブリッジ11を介して結合し、両バス10、12に、画像処理の演算や制御を行うCPU13、ホスト装置4と画像圧縮データの送受信を行うデータ送受信FIFOメモリ18、電子カメラ2等からの画像伸張データを保存してそのデータを表示パネル3に表示するフレームメモリ16、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮/伸張回路17、を接続するものにおいて、CPU13とフレームメモリ16を高速バス10に接続し、データ送受信FIFOメモリ18をペリフェラルバス12に接続してなる。



LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

画像処理装置

技術分野

[0001] 本発明は、画像データの圧縮／伸張が行える画像処理装置に関する。

背景技術

[0002] 近年、携帯電話のような電子機器は、画像データを表示することに加え、電子カメラ機能を搭載して撮影した画像データを表示したり格納したりするようになってきている。従って、このような電子機器は、多量の画像データの複雑な処理をすることが必要であり、CPUを用いた画像処理装置を用いるのが一般的である(例えば特許文献1及び2)。図3に従来の画像処理装置の一例を示す。この画像処理装置101は、高速バス10とペリフェラルバス12とがバスブリッジ11を介して結合されるバスアーキテクチャであり、両バス10、12に各種機能回路が接続されている。すなわち、高速バス10には、画像処理等の必要な演算や制御を行うCPU13と、CPU13の処理プログラムを格納するROM14と、CPU13が行う演算のワークエリア等に用いられるRAM15とが接続されている。またペリフェラルバス12には、電子カメラ2からの画像伸張データやホスト装置4からの画像圧縮データを伸張した画像伸張データを保存してそのデータをLCD等の表示パネル3に表示するフレームメモリ16と、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路17と、ホスト装置4との間で画像圧縮データの送受信を行うデータ送受信用FIFO(First In First Out)メモリ18と、汎用のタイマ回路19等とが接続されている。また、画像処理装置101は、CPU13によりフレームメモリ16のデータをリード・ライトされるフレームメモリ用レジスタ20と、CPU13により圧縮／伸張回路17のデータをリード・ライトされる圧縮／伸張回路用レジスタ21と、CPU13によりデータ送受信用FIFOメモリ18のデータをリード・ライトされるデータ送受信用レジスタ22と、を含む。なお、本出願において、画像圧縮データは圧縮されている画像データをいい、画像伸張データは圧縮されていない画像データをいう。

[0003] 電子カメラ2からの画像伸張データは、フレームメモリ16に保存されて表示パネル3

に表示され、また、フレームメモリ用レジスタ20及びペリフェラルバス12を介してCPU 13に読み込まれ、圧縮／伸張回路17及びRAM15等にて圧縮される。その画像圧縮データは、ペリフェラルバス12及びデータ送受信用レジスタ22を介してデータ送受信用FIFOメモリ18に書き込まれ、順番にホスト装置4に送信される。一方、ホスト装置4からの画像圧縮データは、データ送受信用FIFOメモリ18に受信されてデータ送受信用レジスタ22及びペリフェラルバス12を介してCPU13に順番に読み込まれ、圧縮／伸張回路17及びRAM15等にて伸張される。その画像伸張データは、ペリフェラルバス12及びフレームメモリ用レジスタ20を介してフレームメモリ16に保存されて表示パネル3に表示される。

[0004] 特許文献1:特開2001－350461号公報

特許文献2:特開2002－77709号公報

発明の開示

発明が解決しようとする課題

[0005] このようにして画像処理は行われるが、表示される画像の高画質化や動画及び静止画の多様な処理などを実現していくうえで、ますます高速に画像処理を行うことが要請されている。一般に、画像処理の高速化には、CPUを初めとする各機能回路の高速化が行われるが、消費電力やコスト等を考慮した場合、それと共に、CPUを効率的に動作させることも重要である。

[0006] 本発明は、以上の事由に鑑みてなされたもので、その目的とするところは、CPUをより効率的に動作させることができ、もって画像処理の高速化が図れる画像処理装置を提供することにある。

課題を解決するための手段

[0007] 上記の課題を解決するために、本発明の望ましい実施形態に係る画像処理装置は、高速バスとペリフェラルバスとをバスブリッジを介して結合し、これら高速バス及びペリフェラルバスに、画像処理の演算や制御を行うCPU、ホスト装置と画像圧縮データの送受信を行うデータ送受信用FIFOメモリ、画像伸張データを保存してそのデータを表示パネルに表示するフレームメモリ、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路、を接続する画像処理装置において、前記CPUとフ

フレームメモリを高速バスに接続し、前記データ送受信FIFOメモリをペリフェラルバスに接続してなる。

[0008] この画像処理装置は、望ましくは、前記圧縮／伸張回路を高速バスに接続してなる。

[0009] 本発明の別の望ましい実施形態に係る画像処理装置は、命令用CPU直結バスとデータ用CPU直結バスと高速バスとを有し、これらのバスに、画像処理の演算や制御を行うCPU、CPUの処理プログラムを格納するROM、CPUが行う演算のワークエリアに用いられるRAM、ホスト装置と画像圧縮データの送受信を行うデータ送受信FIFOメモリ、画像伸張データを保存してそのデータを表示パネルに表示するフレームメモリ、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路、を接続する画像処理装置において、前記CPUとROMを命令用CPU直結バスに接続し、前記CPUとRAMとフレームメモリをデータ用CPU直結バスに接続し、前記CPUとデータ送受信FIFOメモリを高速バスに接続してなる。

[0010] この画像処理装置は、望ましくは、前記圧縮／伸張回路をデータ用CPU直結バスに接続してなる。

発明の効果

[0011] 本発明によれば、画像処理装置は、データ量が多いフレームメモリを処理能力が相対的に高いバスに接続し、データ量が比較的少ないデータ送受信FIFOメモリを処理能力が相対的に低いバスに接続しているので、CPUを効率的に動作させることができ、もって全体として画像処理の高速化が可能になる。

図面の簡単な説明

[0012] [図1]本発明の望ましい実施形態に係る画像処理装置のブロック図である。

[図2]本発明の別の望ましい実施形態に係る画像処理装置のブロック図である。

[図3]従来の画像処理装置のブロック図である。

符号の説明

- [0013]
- 1、5 画像処理装置
 - 2 電子カメラ
 - 3 表示パネル

- 4 ホスト装置
- 10 高速バス
- 12 ペリフェラルバス
- 13、23 CPU
- 16 フレームメモリ
- 17 圧縮／伸張回路
- 18 データ送受信用FIFOメモリ
- 20 フレームメモリ用レジスタ
- 21 圧縮／伸張回路用レジスタ
- 22 データ送受信用レジスタ
- 24 命令用CPU直結バス
- 25 データ用CPU直結バス

発明を実施するための最良の形態

[0014] 以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は本発明の望ましい実施形態に係る画像処理装置のブロック図である。この画像処理装置1は、例えば75MHzの高周波数で動作する高速バス10と、例えば25MHzの周波数で動作するペリフェラルバス12と、をバスブリッジ11を介して結合したバスアーキテクチャであり、両バス10、12に各種機能回路を接続している。すなわち、高速バス10には、画像処理等の必要な演算や制御を行うCPU13と、CPU13の処理プログラムを格納するROM14と、CPU13が行う演算のワークエリア等に用いられるRAM15と、を接続し、更に電子カメラ2からの画像伸張データやホスト装置4からの画像圧縮データを伸張した画像伸張データを保存してそのデータをLCD等の表示パネル3に表示するフレームメモリ16と、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路17とを接続している。またペリフェラルバス12には、ホスト装置4との間で画像圧縮データの送受信を行うデータ送受信用FIFOメモリ18と、汎用のタイマ回路19等とを接続している。また、画像処理装置1は、CPU13によりフレームメモリ16のデータをリード・ライトされるフレームメモリ用レジスタ20と、CPU13により圧縮／伸張回路17のデータをリード・ライトされる圧縮／伸張回路用レジスタ21と、CPU

13によりデータ送受信用FIFOメモリ18のデータをリード・ライトされるデータ送受信用レジスタ22と、を含む。なお、圧縮／伸張回路17は、具体的には、静止画の圧縮／伸張に用いられるJPEG回路又は動画の圧縮／伸張に用いられるMPEG回路などである。また、ホスト装置4は、例えばこの画像処理装置1が携帯電話のような電子機器に用いられる場合は、その機器の本体機能を制御するプロセッサ装置などである。

[0015] 電子カメラ2からの画像伸張データは、フレームメモリ16に保存されて表示パネル3に表示され、また、フレームメモリ用レジスタ20及び高速バス10を介してCPU13に読み込まれ、圧縮／伸張回路17及びRAM15等により圧縮される。その画像圧縮データは、ペリフェラルバス12及びデータ送受信用レジスタ22を介してデータ送受信用FIFOメモリ18に書き込まれ、順番にホスト装置4に送信される。一方、ホスト装置4からの画像圧縮データは、データ送受信用FIFOメモリ18に受信されてデータ送受信用レジスタ22及びペリフェラルバス12を介してCPU13に順番に読み込まれ、圧縮／伸張回路17及びRAM15等により伸張される。その画像伸張データは、高速バス10及びフレームメモリ用レジスタ20を介してフレームメモリ16に保存されて表示パネル3に表示される。

[0016] ここで、高速バス10は例えば75MHzの高周波数で動作するので、画像伸張データはフレームメモリ16からCPU13に高速に読み込まれ、かつ、CPU13からフレームメモリ16に高速に書き込まれる。また、フレームメモリ16が演算のワークエリア等に用いられるRAM15と同じバスに接続されているので一連の演算においてバスの切り換えによる無駄な時間であるオーバヘッド時間をなくすることができる。このように、データ量が多い画像伸張データの転送においてCPUは効率的に動作し、全体的な画像処理の高速化に寄与する。また、CPU13と圧縮／伸張回路17とのデータ転送も高速バス10を介するので全体的な画像処理が更に高速になる。一方、ペリフェラルバス12は例えば25MHzの周波数で動作するので、画像圧縮データのデータ送受信用FIFOメモリ18への書き込み又はCPU13への読み出しは比較的低速である。しかし、その画像圧縮データは、画像伸張データの例えば1／10乃至1／100であってデータ量が比較的少ないので、全体としての画像処理の速度はさほど落ちない。

- [0017] このように、この画像処理装置1は、データ量が多いフレームメモリ16を処理能力が相対的に高い高速バス10に接続し、データ量が比較的少ないデータ送受信FIFOメモリ18を処理能力が相対的に低いペリフェラルバス12に接続しているので、CPU13を効率的に動作させることができ、全体として画像処理の高速化が可能になる。なお、データ送受信FIFOメモリ18をペリフェラルバス12に接続しているのは、高速バス10に接続する機能回路を多くし過ぎると、高速バス10の負荷容量が大きくなりそれだけ動作可能な周波数が低下するからである。
- [0018] また、この画像処理装置1では、圧縮／伸張回路17を高速バス10に接続しているが、CPU13によるリード・ライトが比較的少ない圧縮／伸張回路17を用いる場合は、これをペリフェラルバス12に接続してもよい。
- [0019] 次に、本発明の別の望ましい実施形態に係る画像処理装置を図2に基づいて説明する。この画像処理装置5は、CPU23とROM14を直結する命令（インストラクション）用CPU直結バス24と、CPU23とRAM15を直結するデータ用CPU直結バス25と、上述の高速バス10と、を有するバスアーキテクチャである。例えば、ARM系のプロセッサシステムにおける命令用のTCM(Tightly Coupled Memory)バス、データ用のTCMバス、AMBA(Advanced Microcontroller Bus Architecture)バスがそれぞれ命令用CPU直結バス24、データ用CPU直結バス25、高速バス10に相当する。なお、必要に応じて上述のペリフェラルバス12(図示せず)を有するようにすることもできる。
- [0020] データ用CPU直結バス25には、更に上述のフレームメモリ16と圧縮／伸張回路17とを接続している。また高速バス10には、上述のデータ送受信FIFOメモリ18とタイマ回路19等とを接続している。また、画像処理装置5は、画像処理装置1と同様に、上述のフレームメモリ用レジスタ20と圧縮／伸張回路用レジスタ21とデータ送受信用レジスタ22とを含む。
- [0021] 命令用CPU直結バス24やデータ用CPU直結バス25は、CPU23の基本動作クロックの例えば1サイクルで読み込み又は書き込みの動作を行う。一方、高速バス10は、例えば5～10サイクルで読み込み又は書き込みの動作を行う。従って、画像処理装置5は、画像処理装置1に比べ、その画像伸張データはフレームメモリ16からCP

U23に更に高速に読み込まれ、かつ、CPU23からフレームメモリ16に更に高速に書き込まれる。

[0022] このように、この画像処理装置5は、データ量が多いフレームメモリ16を処理能力が相対的に高いデータ用CPU直結バス25に接続し、データ量が比較的少ないデータ送受信用FIFOメモリ18を処理能力が相対的に低い高速バス10に接続しているので、全体として画像処理の更なる高速化が可能になる。なお、データ送受信用FIFOメモリ18を高速バス10に接続しているのは、フレームメモリ16がデータ用CPU直結バス25に移されているので、高速バス10の負荷容量がさほど大きくならないからである。

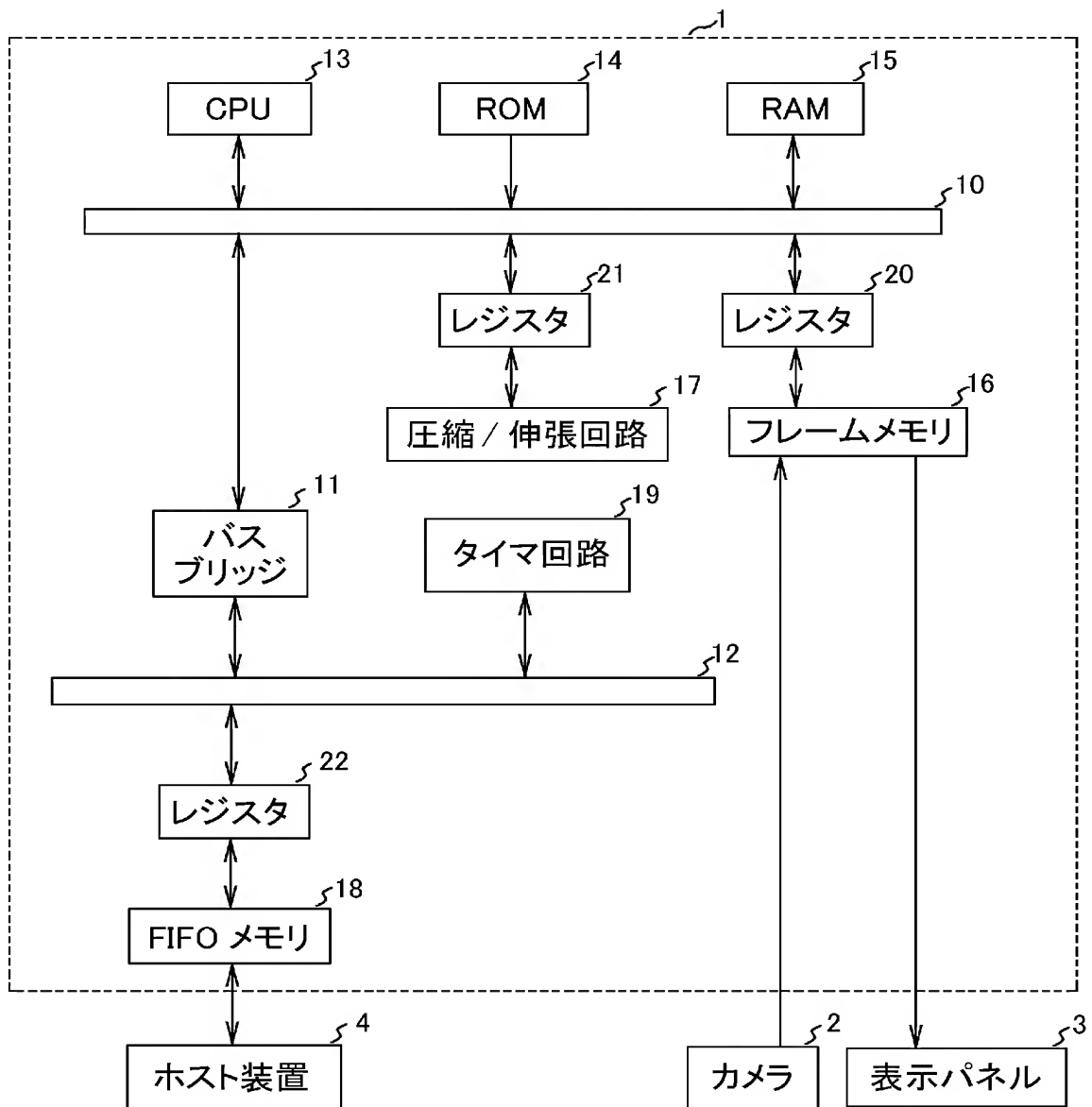
[0023] また、この画像処理装置5では、圧縮／伸張回路17をデータ用CPU直結バス25に接続しているが、CPU23によるリード・ライトが比較的少ない圧縮／伸張回路17を用いる場合は、これを高速バス10に接続してもよい。

[0024] 以上、本発明の実施形態に係る画像処理装置について説明したが、本発明は、実施形態に限られることなく、請求の範囲に記載した事項の範囲内でのさまざまな設計変更が可能である。例えば、画像処理装置1、5が用いられる電子機器に電子カメラ2がない場合は、電子カメラ2からの画像伸張データをフレームメモリ16に保存する機能を省くことも可能である。また、場合に応じ、汎用のタイマ回路19を含まないこと、また、他の必要な機能回路を含むことが可能なことは勿論である。

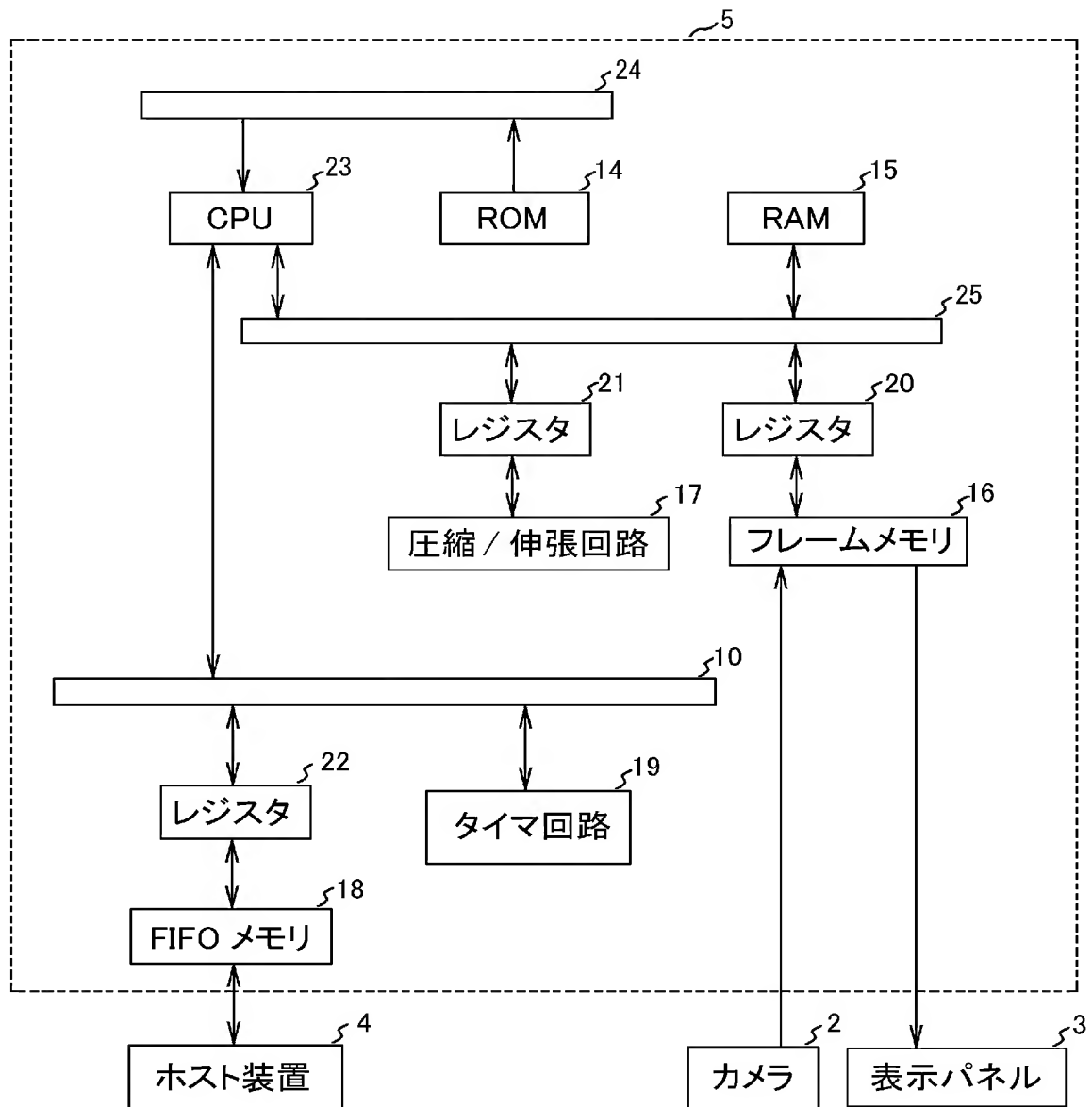
請求の範囲

- [1] 高速バスとペリフェラルバスとをバスブリッジを介して結合し、これら高速バス及びペリフェラルバスに、画像処理の演算や制御を行うCPU、ホスト装置と画像圧縮データの送受信を行うデータ送受信用FIFOメモリ、画像伸張データを保存してそのデータを表示パネルに表示するフレームメモリ、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路、を接続する画像処理装置において、
前記CPUとフレームメモリを高速バスに接続し、前記データ送受信用FIFOメモリをペリフェラルバスに接続してなることを特徴とする画像処理装置。
- [2] 請求項1において、
前記圧縮／伸張回路を高速バスに接続してなることを特徴とする画像処理装置。
- [3] 命令用CPU直結バスとデータ用CPU直結バスと高速バスとを有し、これらのバスに、画像処理の演算や制御を行うCPU、CPUの処理プログラムを格納するROM、CPUが行う演算のワークエリアに用いられるRAM、ホスト装置と画像圧縮データの送受信を行うデータ送受信用FIFOメモリ、画像伸張データを保存してそのデータを表示パネルに表示するフレームメモリ、画像伸張データの圧縮及び画像圧縮データの伸張を行う圧縮／伸張回路、を接続する画像処理装置において、
前記CPUとROMを命令用CPU直結バスに接続し、前記CPUとRAMとフレームメモリをデータ用CPU直結バスに接続し、前記CPUとデータ送受信用FIFOメモリを高速バスに接続してなることを特徴とする画像処理装置。
- [4] 請求項3において、
前記圧縮／伸張回路をデータ用CPU直結バスに接続してなることを特徴とする画像処理装置。

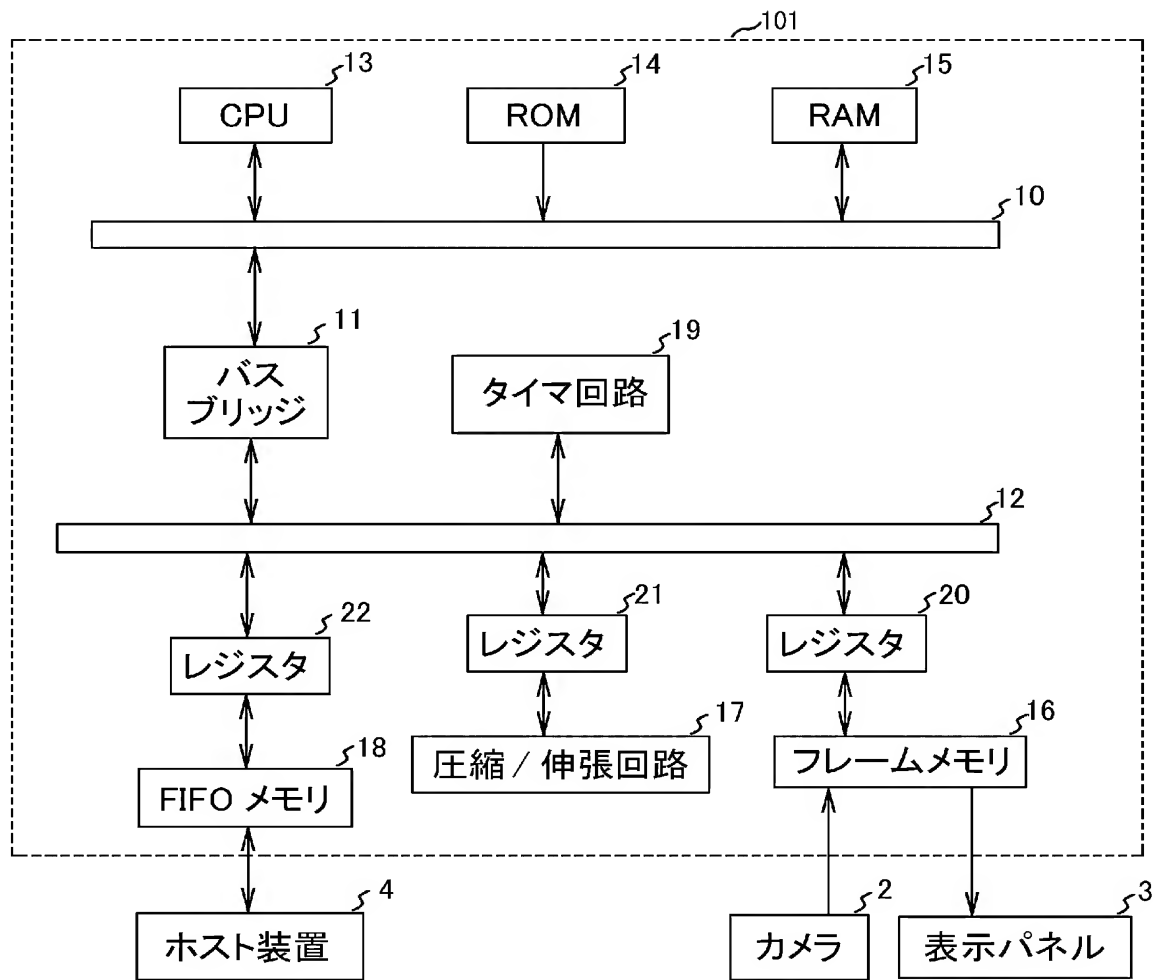
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/007339

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09G5/00, G09G5/36, G06F13/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09G5/00-5/42, G06F3/14-3/153, G06F13/20-13/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-257793 A (Hitachi, Ltd.), 08 October, 1993 (08.10.93), Par. Nos. [0019] to [0021]; Fig. 1 (Family: none)	1-4
Y	JP 9-231164 A (NEC Corp.), 05 September, 1997 (05.09.97), Par. Nos. [0024] to [0025]; Fig. 2 (Family: none)	1-4
Y	JP 2001-350461 A (Canon Inc.), 21 December, 2001 (21.12.01), Par. Nos. [0002] to [0007]; Figs. 5 to 6 (Family: none)	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
23 June, 2005 (23.06.05)Date of mailing of the international search report
12 July, 2005 (12.07.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/007339

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-21184 A (NEC Corp.), 23 January, 1998 (23.01.98), Par. Nos. [0034] to [0037], [0072]; Fig. 6 & US 5958025 A Column 2, line 53 to column 3, line 10; column 6, lines 20 to 29; Fig. 7 & KR 255683 B1	3-4
A	Hiroshi AIHARA, Tech I ARM Processor Nyumon, CQ Publishing Co., Ltd., 01 October, 2003 (01.10.03), Vol.18, pages 22 to 39	3-4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G09G5/00, G09G5/36, G06F13/36

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G09G5/00-5/42, G06F3/14-3/153, G06F13/20-13/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 5-257793 A(株式会社日立製作所)1993. 10. 08, 段落【0019】 - 【0021】, 第1図(ファミリーなし)	1-4
Y	JP 9-231164 A(日本電気株式会社)1997. 09. 05, 段落【0024】 - 【0025】, 第2図(ファミリーなし)	1-4
Y	JP 2001-350461 A(キヤノン株式会社)2001. 12. 21, 段落【0002】 - 【0007】, 第5-6図(ファミリーなし)	1-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

23. 06. 2005

国際調査報告の発送日

12. 7. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後藤 亮治・

電話番号 03-3581-1101 内線 3226

2G

3490

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-21184 A(日本電気株式会社)1998.01.23, 段落【0034】 — 【0037】 , 【0072】 , 第 6 図 & US5958025 A, 第 2 欄第 53 行-第 3 欄第 10 行, 第 6 欄第 20-29 行, 第 7 図 & KR255683 B1	3 - 4
A	相原洋, TECH I ARM プロセッサ入門, CQ 出版株式会 社, 2003.10.01, 第 18 巻, p. 22-39	3 - 4